

**Family list**

4 family members for:

**US6670641**

Derived from 3 applications.

**1 THIN FILM TRANSISTOR, FABRICATION THEREOF AND LIQUID CRYSTAL DISPLAY****Inventor:** FUKUDA KAICHI; UEMOTO TSUTOMU; (+3)**EC:** H01L21/336D2B; H01L21/336D2C; (+2)**Publication info:** JP3762002B2 B2 - 2006-03-29  
JP10163498 A - 1998-06-19**Applicant:** TOKYO SHIBAURA ELECTRIC CO**IPC:** G02F1/136; G02F1/1368; H01L21/336 (+1)**2 Method of manufacturing thin film transistor****Inventor:** FUKUDA KAICHI (JP); UEMOTO TSUTOMU (JP); (+3)**EC:** H01L21/336D2B; H01L21/336D2C; (+2)**Publication info:** US6096585 A - 2000-08-01**Applicant:** TOKYO SHIBAURA ELECTRIC CO (JP)**IPC:** G02F1/136; G02F1/1368; H01L21/336 (+9)**3 Thin film transistor, method of manufacturing the same and thin film transistor liquid crystal display device****Inventor:** FUKUDA KAICHI (JP); UEMOTO TSUTOMU (JP); (+3)**EC:** H01L21/336D2B; H01L21/336D2C; (+2)**Publication info:** US6670641 B1 - 2003-12-30**Applicant:** TOKYO SHIBAURA ELECTRIC CO (JP)**IPC:** H01L21/336; H01L21/84; H01L29/786 (+7)Data supplied from the **esp@cenet** database - Worldwide

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-163498

(43)Date of publication of application : 19.06.1998

(51)Int.Cl.

H01L 29/786

H01L 21/336

G02F 1/136

(21)Application number : 08-318957

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 29.11.1996

(72)Inventor : FUKUDA KAICHI

UEMOTO TSUTOMU

HIRAYAMA HIDEO

KAWAMURA SHINICHI

TORIYAMA SHIGETAKA

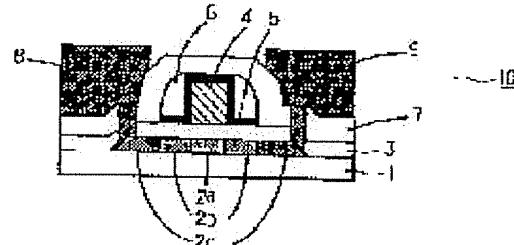
## (54) THIN FILM TRANSISTOR, FABRICATION THEREOF AND LIQUID CRYSTAL DISPLAY

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To fabricate a thin film transistor having a highly accurate LDD structure easily by providing an etching stopper layer between a lightly doped LDD region and a side wall.

**SOLUTION:** An insular semiconductor layer is formed on an insulating substrate 1. The semiconductor layer has a central undoped channel region 2a, a lightly doped LDD region 2b contiguous to the channel region 2a, and a heavily doped low resistance layer 2c contiguous to the LDD region 2b. A gate insulator 3 is deposited on the entire surface while covering the semiconductor layer and a gate electrode 4 is formed in a region corresponding to the channel region 2a before forming an etching stopper layer 5 covering the gate electrode 4. Finally, a side wall 6 is formed on the side of the gate electrode 4 through the etching stopper layer 5.

According to the structure, damage on the gate insulator 3 can be suppressed.



## LEGAL STATUS

[Date of request for examination] 18.11.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3762002

[Date of registration] 20.01.2006

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-163498

(43) 公開日 平成10年(1998)6月19日

(51) Int.Cl.<sup>6</sup>  
H 01 L 29/786  
21/336  
G 02 F 1/136

識別記号  
5 0 0

F I  
H 01 L 29/78 6 1 6 A  
G 02 F 1/136 5 0 0  
H 01 L 29/78 6 1 7 J

審査請求 未請求 請求項の数17 O L (全 8 頁)

(21) 出願番号 特願平8-318957

(22) 出願日 平成8年(1996)11月29日

(71) 出願人 000003078  
株式会社東芝  
神奈川県川崎市幸区堀川町72番地  
(72) 発明者 福田 加一  
神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内  
(72) 発明者 上本 勉  
神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内  
(72) 発明者 平山 秀雄  
神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内  
(74) 代理人 弁理士 外川 英明

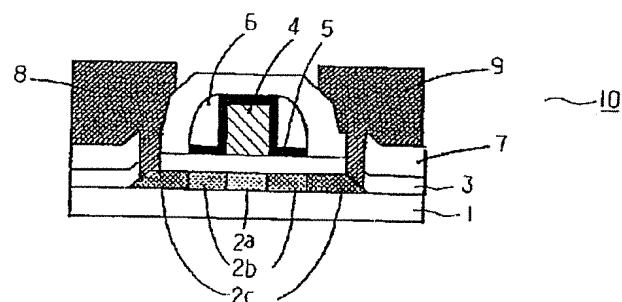
最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ、薄膜トランジスタの製造方法、及び液晶表示装置

(57) 【要約】

【課題】 ガラス等の絶縁性基板上に、精度の良いLDD構造を簡単に作成することのできる薄膜トランジスタ、薄膜トランジスタの製造方法、及び液晶表示装置を提供することを目的とする。

【解決手段】 サイドウォール6を有するLDD構造TFTで、サイドウォール6とゲート絶縁膜3との間にサイドウォール6と膜質の異なるエッチングストップ層5が形成されており、サイドウォール6を異方性エッチングにより形成する際にこのストップ層5で異方性エッチングを停止することができる。



【特許請求の範囲】

【請求項 1】 チャネル領域と、チャネル領域の両側に形成されたソース領域及びドレイン領域と、前記チャネル領域と前記ソース領域との間、前記チャネル領域と前記ドレイン領域との間の少なくとも一方に形成された低不純物濃度領域と、を有する半導体層と、前記チャネル領域上にゲート絶縁膜を介して形成されたゲート電極と、を備えた薄膜トランジスタにおいて、前記ゲート電極の側方で前記低不純物濃度領域上の少なくとも一部に形成されたサイドウォールと、前記ゲート絶縁膜と前記サイドウォールとの間に形成されたエッチングストッパ層と、を備えたことを特徴とする薄膜トランジスタ。

【請求項 2】 前記サイドウォールは、前記ゲート電極に対して自己整合的に形成され、且つ前記エッチングストッパ層は前記サイドウォールに対して自己整合的に形成されていることを特徴とする請求項 1 記載の薄膜トランジスタ。

【請求項 3】 前記エッチングストッパ層は、導電性材料であり前記ゲート電極と電気的に接続されていることを特徴とする請求項 1 記載の薄膜トランジスタ。

【請求項 4】 前記導電性材料は金属であり、且つ前記サイドウォールは、酸化シリコン、窒化シリコン、酸窒化シリコンのいずれかからなることを特徴とする請求項 3 記載の薄膜トランジスタ。

【請求項 5】 前記金属膜は、T i、M o、W、T a、A 1 のいずれか、もしくはそれらの合金からなることを特徴とする請求項 4 記載の薄膜トランジスタ。

【請求項 6】 前記エッチングストッパ層は、半導体材料からなり前記ゲート電極と電気的に接続されていることを特徴とする請求項 1 記載の薄膜トランジスタ。

【請求項 7】 前記エッチングストッパ層は、多結晶シリコン、または非晶質シリコンであり、且つ前記サイドウォールは、酸化シリコン、窒化シリコン、酸窒化シリコンのいずれかからなることを特徴とする請求項 6 記載の薄膜トランジスタ。

【請求項 8】 前記半導体層は、多結晶シリコンからなり、前記ゲート絶縁膜と前記サイドウォールがともに酸化シリコンであることを特徴とする請求項 1 記載の薄膜トランジスタ。

【請求項 9】 前記サイドウォールは、体積密度で  $1 \times 10^{18} / \text{cm}^3$  以上  $1 \times 10^{21} / \text{cm}^3$  以下のCを含有する酸化シリコンからなることを特徴とする請求項 1 記載の薄膜トランジスタ。

【請求項 10】 前記サイドウォールは、前記ゲート電極の側面に前記エッチングストッパ層を介して形成されていることを特徴とする請求項 1 記載の薄膜トランジスタ。

【請求項 11】 ゲート電極と、前記ゲート電極上にゲート絶縁膜を介して形成され、前

記ゲート電極の領域上にチャネル領域を有し、前記チャネル領域の両側にソース領域及びドレイン領域を有し、前記チャネル領域と前記ソース領域との間、前記チャネル領域と前記ドレイン領域との間の少なくとも一方に低不純物濃度領域を有する半導体層と、を備えた薄膜トランジスタにおいて、

前記チャネル領域上に形成されたマスク材と、前記マスク材の側方で前記低不純物濃度領域上の少なくとも一部に形成されたサイドウォールと、前記半導体層と前記サイドウォールとの間に形成されたエッチングストッパ層と、を備えたことを特徴とする薄膜トランジスタ。

【請求項 12】 絶縁性基板上に半導体層を形成する工程と、

前記半導体層を覆うようにゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に導電膜を成膜しパターニングしてゲート電極を形成する工程と、

前記ゲート電極をマスクとして前記半導体層に不純物をドーピングする第 1 のドーピング工程と、

エッチングストッパ層となる第 1 の膜を形成する工程と、

前記エッチングストッパ層上に、サイドウォールとなる第 2 の膜を形成する工程と、

前記第 2 の膜を前記第 1 の膜が露出するまで異方性エッチングし、前記ゲート電極の側方にサイドウォールを残す工程と、

前記サイドウォールをマスクとして前記第 1 の膜をエッチング除去する工程と、

前記サイドウォール、前記エッチングストッパ層、及び前記ゲート電極をマスクとして前記半導体層に不純物をドーピングする第 2 のドーピング工程と、を備えたことを特徴とする薄膜トランジスタの製造方法。

【請求項 13】 絶縁性基板上にゲート電極を形成する工程と、

前記ゲート電極を覆うようにゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に半導体層を形成する工程と、

前記半導体層上にマスク材をパターン形成する工程と、前記マスク材をマスクとして前記半導体層に不純物をドーピングする第 1 のドーピング工程と、

エッチングストッパ層となる第 1 の膜を形成する工程と、前記エッチングストッパ層上に、サイドウォールとなる第 2 の膜を形成する工程と、

前記第 2 の膜を前記第 1 の膜が露出するまで異方性エッチングし、前記マスク材の側方にサイドウォールを残す工程と、前記サイドウォールをマスクとして前記第 1 の膜をエッチング除去する工程と、

前記サイドウォール、前記エッチングストッパ層、及び前記マスク材をマスクとして前記半導体層に不純物をドーピングする第2のドーピング工程と、を備えたことを特徴とする薄膜トランジスタの製造方法。

【請求項14】 絶縁性基板上にマトリクス状に形成された走査線、及び信号線と、前記走査線と前記信号線との交点部近傍に形成された薄膜トランジスタと、前記薄膜トランジスタに接続された画素電極と、を有するアレイ基板と、

前記アレイ基板に対向して配置された対向基板と、前記アレイ基板と前記対向基板との間隙に挟持された液晶と、を備えた液晶表示装置において、

前記薄膜トランジスタは、チャネル領域と、チャネル領域の両側に形成されたソース領域及びドレイン領域と、前記チャネル領域と前記ソース領域との間、前記チャネル領域と前記ドレイン領域との間の少なくとも一方に形成された低不純物濃度領域とを有する半導体層と、前記チャネル領域上にゲート絶縁膜を介して形成されたゲート電極と、

前記ゲート電極の側方で前記低不純物濃度領域上の少なくとも一部に形成されたサイドウォールと、

前記ゲート絶縁膜と前記サイドウォールとの間に形成されたエッチングストッパ層と、を備えたことを特徴とする液晶表示装置。

【請求項15】 絶縁性基板上にマトリクス状に形成された走査線、及び信号線と、前記走査線と前記信号線との交点部近傍に形成された第1の薄膜トランジスタ群と、前記第1の薄膜トランジスタ群にそれぞれ接続された画素電極と、駆動回路を構成する第2の薄膜トランジスタ群と、を有するアレイ基板と、

前記アレイ基板に対向して配置された対向基板と、前記アレイ基板と前記対向基板との間隙に挟持された液晶と、を備えた液晶表示装置において、

前記第2の薄膜トランジスタ群の少なくとも一部の薄膜トランジスタは、

チャネル領域と、チャネル領域の両側に形成されたソース領域及びドレイン領域と、前記チャネル領域と前記ソース領域との間、前記チャネル領域と前記ドレイン領域との間の少なくとも一方に形成された低不純物濃度領域とを有する半導体層と、

前記チャネル領域上にゲート絶縁膜を介して形成されたゲート電極と、

前記ゲート電極の側方で前記低不純物濃度領域上の少なくとも一部に形成されたサイドウォールと、

前記ゲート絶縁膜と前記サイドウォールとの間に形成されたエッチングストッパ層と、を備えたことを特徴とする液晶表示装置。

【請求項16】 絶縁性基板上にマトリクス状に形成された走査線、及び信号線と、前記走査線と前記信号線との交点部近傍に形成された薄膜トランジスタと、前記薄

膜トランジスタに接続された画素電極と、を有するアレイ基板と、

前記アレイ基板に対向して配置された対向基板と、前記アレイ基板と前記対向基板との間隙に挟持された液晶と、を備えた液晶表示装置において、前記薄膜トランジスタは、

ゲート電極と、

前記ゲート電極上にゲート絶縁膜を介して形成され、チャネル領域と、チャネル領域の両側に形成されたソース領域及びドレイン領域と、前記チャネル領域と前記ソース領域との間、前記チャネル領域と前記ドレイン領域との間の少なくとも一方に形成された低不純物濃度領域とを有する半導体層と、

前記チャネル領域上に形成されたマスク材と、

前記マスク材の側方で前記低不純物濃度領域上の少なくとも一部に形成されたサイドウォールと、前記半導体層と前記サイドウォールとの間に形成されたエッチングストッパ層と、を備えたことを特徴とする液晶表示装置。

【請求項17】 絶縁性基板上にマトリクス状に形成された走査線、及び信号線と、前記走査線と前記信号線との交点部近傍に形成された第1の薄膜トランジスタ群と、前記第1の薄膜トランジスタ群にそれぞれ接続された画素電極と、駆動回路を構成する第2の薄膜トランジスタ群と、を有するアレイ基板と、

前記アレイ基板に対向して配置された対向基板と、

前記アレイ基板と前記対向基板との間隙に挟持された液晶と、を備えた液晶表示装置において、前記第2の薄膜トランジスタ群の少なくとも一部の薄膜トランジスタは、

ゲート電極と、

前記ゲート電極上にゲート絶縁膜を介して形成され、チャネル領域と、チャネル領域の両側に形成されたソース領域及びドレイン領域と、前記チャネル領域と前記ソース領域との間、前記チャネル領域と前記ドレイン領域との間の少なくとも一方に形成された低不純物濃度領域とを有する半導体層と、

前記チャネル領域上に形成されたマスク材と、

前記マスク材の側方で前記低不純物濃度領域上の少なくとも一部に形成されたサイドウォールと、前記半導体層と前記サイドウォールとの間に形成されたエッチングストッパ層と、を備えたことを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は薄膜トランジスタ、薄膜トランジスタの製造方法、及び液晶表示装置に係り、詳しくはLDD (Lightly Doped Drain) 構造を有する薄膜トランジスタに関する。

【0002】

【従来の技術】現在、液晶表示装置は駆動回路をアレイ基板上に一体に作り込むという要求に応えるべく、多結晶シリコン（p-Si）系の半導体層を用いた薄膜トランジスタ（TFT）の研究開発が進められている。

【0003】このp-Si TFTは、単結晶シリコン薄膜トランジスタと同様にソース・ドレイン間に大きな電圧を印加すると、ブレークダウンやTFT特性の劣化を引き起こすことが知られている。これらの現象はドレイン近傍への電界の集中により、ホットキャリアが発生することなどが主要因と考えられ、TFTの微細化が進むにつれ、益々大きな問題となっていく。

【0004】この問題を解決するためにLDD構造が有効であり、単結晶シリコンTFTでは盛んに使われている。しかしながら液晶表示装置のように、大型のガラス基板等の上ではエッチングの異方性や、低温プロセスの要求等から、単結晶シリコンTFTのプロセスをそのまま用いることができない。

【0005】そこで単結晶シリコンのプロセスとは異なる手法でLDD構造のTFTを形成するアイデアが検討され、例えば、特開平6-104279号公報にはゲート電極の陽極酸化を利用してサイドウォールを形成する方法、特開平5-175230、特開平5-275450号公報にはゲート電極のサイドエッチングを利用する方法、特開平7-307477号公報には斜め方向からのドーピングを利用する方法、等が開示されている。

#### 【0006】

【発明が解決しようとする課題】しかしながら、これらの方法は、サイドウォール幅の制御が充分でなかったり、工程が複雑になるなど、必ずしも満足のいく手法とは言えなかった。本発明は上記問題点に鑑みなされたもので、簡単に作成でき精度のよいLDD構造を有する薄膜トランジスタ、薄膜膜トランジスタの製造方法、及び液晶表示装置を提供することを目的とする。

#### 【0007】

【課題を解決するための手段】本発明は、LDD領域上にサイドウォールを備えたLDD構造を有する薄膜トランジスタにおいて、LDD領域とサイドウォールとの間にエッチングストップ層を有することを特徴とする薄膜トランジスタである。

【0008】また本発明は、マスク材をマスクとして半導体層に不純物をドーピングする工程と、サイドウォールを形成する際の異方性エッチングをエッチングストップ層で止め、さらにエッチングストップ層をサイドウォールをマスクとしてエッチング除去し、サイドウォールをマスクとして半導体層に不純物をドーピングする工程を含む薄膜トランジスタの製造方法である。また本発明は、上記した薄膜トランジスタを画素スイッチング、または駆動回路に用いた液晶表示装置である。

#### 【0009】

【発明の実施の形態】以下に、本発明の実施例を図面を

参照して詳細に説明する。

（実施例1）図1にトップゲート型の薄膜トランジスタ10の構成を示す。絶縁性基板1上に、島状に加工された半導体層2が形成されている。この半導体層2は、中央部にノンドープのチャネル領域2a、チャネル領域2aに隣接して不純物が低濃度にドーピングされた低不純物濃度（LDD：Lightly Doped Drain）領域2b、さらにLDD領域2bに隣接して不純物が高濃度にドーピングされた低抵抗領域（ソース・ドレイン領域）2c、を有している。そしてその半導体層2を覆うようにゲート絶縁膜3が全面に形成されている。さらにゲート絶縁膜3上には、チャネル領域2aに対応する領域にゲート電極4が形成されており、LDD領域2bに対応する領域とゲート電極4を覆うようにエッチングストップ層5が形成されている。そして、ゲート電極4の側方にエッチングストップ層5を介してサイドウォール6が形成されている。さらに、この上全面に層間絶縁膜7が形成され、ソース電極8、ドレイン電極9が形成されている。ソース電極8とドレイン電極9は、層間絶縁膜7とゲート絶縁膜3に形成されたコンタクトホールを介して低抵抗領域2cにそれぞれ接続されている。

【0010】次に、この薄膜トランジスタの製造方法を図2を参照しながら工程を追って順に説明する。まず、ガラス等からなる絶縁性基板1の一主面上に非晶質シリコン（a-Si）をプラズマCVD（Chemical Vapour Deposition）法により0.05μmの厚さに成膜する。このa-Si膜にレーザを照射して多結晶化し、多結晶シリコン（p-Si）膜とする。次にこのp-Si膜をフォトリソグラフィによって島状に加工し、半導体層2とする。

【0011】そして、この半導体層2を覆うように酸化シリコンを0.1μmの厚さに成膜し、ゲート絶縁膜3とする。同図（a）

続いて、スパッタリング法によりMoW合金を0.3μmの厚さに成膜し、フォトリソグラフィによりエッチング加工してゲート電極4を形成する。このエッチング加工には垂直エッチングができるよう例えれば反応性イオンを用いた異方性ドライエッチングを用いる。

【0012】そして、このゲート電極4をマスクとして例えればPの低濃度ドーピングを行う。ドーピングにはイオン注入を用い、ドーズ量 $1 \times 10^{13} / \text{cm}^2$ 、加速電圧65kV程度が適当である。同図（b）

次に、ゲート電極4を覆うように、膜厚0.05μmのTiをスパッタリング法で成膜し、さらに膜厚0.4μmの酸化シリコンをプラズマCVD法により成膜する。同図（c）

そして、例えればRIE（Reactive Ion Etching）によって酸化シリコンを異方性エッチングし、Tiの表面でエッチングを停止させ、サイドウォ

ール6を形成する。このときエッティングガスとしてCH<sub>4</sub>、等を用いるとTiに対してエッティング選択比10以上を確保することができる。同図(d)

さらに、Tiを異方性エッティングし、ゲート絶縁膜3の表面でエッティングを停止させ、エッティングストップ層5を形成する。このときエッティングガスとしてCF<sub>4</sub>等を用いるとゲート絶縁膜3を構成している酸化シリコンに対しエッティング選択比5以上を確保することができる。

【0013】そして、ゲート電極4、エッティングストップ層5、サイドウォール6をマスクとして、例えばPの高濃度ドーピングを行う。ドーピングにはイオン注入を行い、ドーズ量 $1 \times 10^{16} / \text{cm}^2$ 、加速電圧65kV程度が適当である。同図(e)

次に全面に酸化シリコンなどの層間絶縁膜7を成膜する。

【0014】そして、低抵抗領域2cのうちの一部領域上のゲート絶縁膜3と層間絶縁膜7とをフォトリソグラフィによってエッティング除去しコンタクトホールを形成する。

【0015】そして、スパッタリング法によってAlを0.5μmの膜厚に成膜する。このときAl膜はコンタクトホールを介して低抵抗領域2cに接続されている。そしてフォトリソグラフィによってパターニングしソース電極8、ドレイン電極9を形成する。同図(f)

このようにして所望の薄膜トランジスタ10を得ることができる。

【0016】本発明の薄膜トランジスタ10はサイドウォールを形成するためにゲート絶縁膜3とサイドウォール6を形成する膜との間にサイドウォール6と異なる膜質のエッティングストップ層5を設けることで、サイドウォール6を形成する際の異方性エッティングの際にゲート絶縁膜3へのダメージを抑えることができる。ここで、

「異なる膜質」とは、あるエッティング条件でエッティング選択比が異なることを意味し、たとえ膜を構成する材質が同じであっても、組成、不純物の濃度、その他成膜条件等によりエッティング選択比が異なるものであれば、「異なる膜質」の範囲にはいる。

【0017】また、本実施例のようにエッティングストップ層5に導電材料を用いゲート電極4に接続すると、エッティングストップ層5が実効的にゲート電極の一部となり、LDD領域2bにゲート電極4がオーバーラップする構造とすることができます。この構造では、通常のLDD構造と同様にドレイン端での電界強度が緩和されると共に、LDD領域2bでのシリーズ抵抗によるオン電流低下を軽減することができる。またエッティングストップ層5は半導体材料でも同様の効果を得られるが、そのときは不純物をドーピングする等によって抵抗を下げた材料を用いると良い。

【0018】さらに、サイドウォール6の材料としては酸化シリコン、窒化シリコン、酸窒化シリコン等の中か

ら、エッティングストップ層5はTi、Mo、W、Ta、Al等の中から選ばれた材料を用いるとエッティングの選択比、形状制御、TFET特性、等の面で良好である。さらに言えば、サイドウォール6の材料としては窒化シリコンよりも酸化シリコン、酸窒化シリコン等の方がより優れている。これらの膜はラジカルでの等方的なエッティング速度が、イオンを用いた異方性エッティングの速度に比べて遅い傾向にあるからである。特に有機シラン、例えばテトラエトキシシラン(TEOS)を用いて形成した酸化シリコン膜はゲート電極への等方的な被覆性に優れており、サイドウォールの形状制御性に優れている。

【0019】本実施例においては薄膜トランジスタの特性上、ゲート絶縁膜3にシリコン酸化膜を用いているが、本発明のエッティングストップ層を介在させることで、サイドウォール6にも酸化シリコン膜を用いることが可能になるわけである。つまり、本発明によって、ゲート絶縁膜3に使われている材料と同じ材料もしくは選択比の小さい材料もサイドウォール6の材料として選定することが可能になる。

【0020】また、有機シランを用いて形成した酸化シリコン膜はCを含有することが特徴である。本発明のサイドウォールにこの膜を用いる場合、Cの濃度が低いと被覆性が悪化する問題があり、Cの濃度が高いと充分な絶縁性が得られないと言う問題がある。充分な被覆性と絶縁性を有するCの濃度は体積密度で $1 \times 10^{18} / \text{cm}^3$ 以上 $1 \times 10^{21} / \text{cm}^3$ 以下の範囲が好適であることを見出した。なお、本実施例ではチャネル領域の両側にLDD領域を形成したが、チャネル領域の片側(ドレイン側)のみにLDD領域を形成することもある。

【0021】(実施例2) 次に、ボトムゲート型の薄膜トランジスタ60の構成を図3(e)を参照して説明する。絶縁性基板61上にゲート電極62がパターン形成されており、このゲート電極62を覆うようにゲート絶縁膜63が形成されている。

【0022】そしてゲート絶縁膜63上に半導体層64がパターン形成されている。この半導体層64中央部にチャネル領域64a、チャネル領域64aに隣接して不純物が低濃度でドーピングされたLDD領域64b、さらにLDD領域64bに隣接して不純物が高濃度でドーピングされた低抵抗領域64cを有している。

【0023】そしてこの低抵抗領域にソース電極65、ドレイン電極66が接続されている。また、半導体層のチャネル領域64a上にはマスク材67が形成され、さらにLDD領域64b上にはエッティングストップ層68、及びサイドウォール69が形成されている。

【0024】次にこの薄膜トランジスタの製造方法を図3を参照して説明する。まず、ガラス等からなる絶縁性基板61の一主面上に例えばMoW、MoTa、Cr、Al等の金属膜を成膜し、パターニングしてゲート電極62とする。

【0025】さらにこのゲート電極62を覆うように例えば窒化シリコンを全面に成膜してゲート絶縁膜63とする。さらに、ゲート絶縁膜63上に半導体層64として多結晶シリコンをパターン形成する。多結晶シリコンは、非晶質シリコンを成膜した後に熱、及びエネルギービーム等により多結晶化する方法、又は元々多結晶シリコンを成膜する方法、等様々な方法がある。

【0026】次に、マスク材67を均一に成膜し、半導体層のチャネル領域64aに対応する領域を残すようにパターニングを行う。このパターニングは垂直に近い方が好ましい。

【0027】次にこのマスク材67をマスクとして半導体層64中に不純物をドーピングする。同図(a)そして、マスク材67を覆うようにエッチングストッパ層68を成膜し、さらにその上から例えば酸化シリコンを成膜する。同図(b)

次に、例えばRIEによって酸化シリコンを異方性エッチングし、エッチングストッパ層の表面でエッチングを停止させ、サイドウォール69を形成する。同図(c)さらに、エッチングガスを変えることにより、サイドウォール69をマスクとしてエッチングストッパ層68をエッチング除去する。

【0028】そして、マスク材67、エッチングストッパ層68、サイドウォール69をマスクとして再び不純物をドーピングし、低抵抗領域64cを形成する。同図(d)

さらに低抵抗領域64cに接続するようにソース電極65、ドレイン電極66を形成して所望の薄膜トランジスタ60を得る。同図(e)

本実施例の薄膜トランジスタ60においては、マスク材67、エッチングストッパ層68、サイドウォール69等は低抵抗領域64c形成のための不純物ドーピングを終えたら、取り除いてもかまわない。取り除かない場合には、これらの材質は絶縁体であることが好ましい。

【0029】また、本実施例は半導体層64の上に直接マスク材67を形成したが、半導体層64の上に絶縁膜を介してマスク材67を形成しても良い。

【0030】(実施例3) 次に本発明の液晶表示装置を図4、及び図5を用いて詳細に説明する。

【0031】図4は本実施例の液晶表示装置の断面図である。液晶表示装置はアレイ基板31と、このアレイ基板31に対向配置された対向基板32と、アレイ基板31と対向基板32とに挟持された液晶33とを備えている。

【0032】アレイ基板31には、表示領域に画素スイッチング用の薄膜トランジスタ50aと、それに接続して画素電極36が形成されている。さらに非表示領域には駆動回路用の薄膜トランジスタ50b群が形成されている。そしてそれらを覆うように配向膜37が形成されている。

【0033】また、対向基板32には、表示領域にカラーフィルタ38が、表示領域の外周を囲むように遮光膜39が形成され、全面に対向電極40、配向膜41が形成されている。

【0034】そして、アレイ基板31と対向基板32とをそれぞれの電極が形成された面を対向させて、シール材42によって貼り合わせている。さらに、アレイ基板31と対向基板32とのそれぞれの外側の面には偏光板43、44が設けられている。

【0035】また、図5は本実施例の液晶表示装置の平面図である。アレイ基板31の表示領域には、走査線34と信号線35がマトリクス状に配列され、その交点部近傍に上述した画素スイッチング用の薄膜トランジスタ50aが配置されている。そして走査線34と信号線35とで形成されるマトリクス状の開口部に対応して画素電極36が形成されている。

【0036】また、アレイ基板31の非表示領域には駆動回路用の薄膜トランジスタ50b群が作り込まれている。上記した画素スイッチング用の薄膜トランジスタ50aと駆動回路用の薄膜トランジスタ50bに(実施例1、2)で詳述した薄膜トランジスタ10、または60を用いている。なお、駆動回路用の薄膜トランジスタ50bにはp型とn型の薄膜トランジスタを用いてC-MOS回路を探ることが一般的であり、電界集中に起因する劣化現象はn型に比べてp型の方が程度が軽いので、n型の薄膜トランジスタのみに上述したLDD構造を採用することもできる。

【0037】また、本発明は、薄膜トランジスタの上に絶縁膜を介して画素電極を設ける、いわゆる画素上置き構造のアレイ基板や、カラーフィルタ、遮光膜等が形成されたアレイ基板を用いる液晶表示装置にも適用できる。

【0038】

【発明の効果】本発明によれば、サイドウォールを形成する際のエッチングでサイドウォールの下層となる層にダメージを与えることなく、LDD領域を有する薄膜トランジスタを作成することができる。

【0039】また、本発明によれば、使用することできるサイドウォール材料のバリエーションが増え、構造、プロセス等の条件により好適なサイドウォール材料を選ぶことが可能になる。

【図面の簡単な説明】

【図1】本発明の実施例1における薄膜トランジスタの断面図である。

【図2】本発明の実施例1における薄膜トランジスタの製造工程を示す図である。

【図3】本発明の実施例2における薄膜トランジスタの製造工程を示す図である。

【図4】本発明の実施例3における液晶表示装置の断面図である。

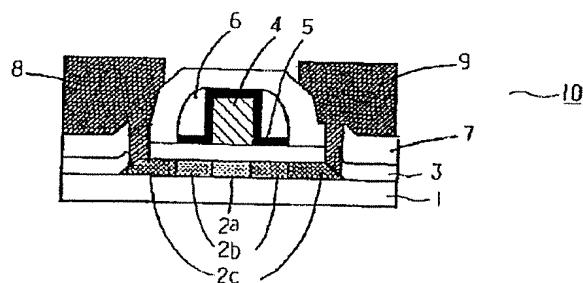
【図5】本発明の実施例3における液晶表示装置の平面図である。

【符号の説明】

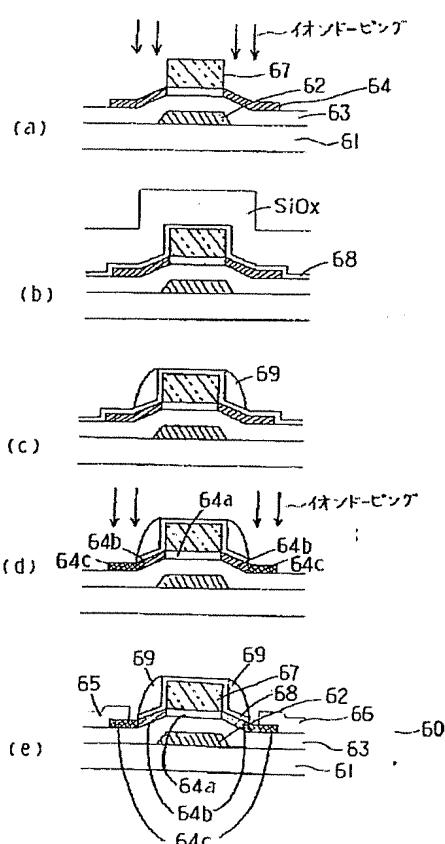
- 1、61…絶縁性基板
- 2、64…半導体層
- 3、63…ゲート絶縁膜
- 4、62…ゲート電極
- 5、68…エッチングストップ層
- 6、69…サイドウォール

- 10、60…薄膜トランジスタ
- 31…アレイ基板
- 32…対向基板
- 33…液晶
- 34…走査線
- 35…信号線
- 36…画素電極
- 67…マスク材

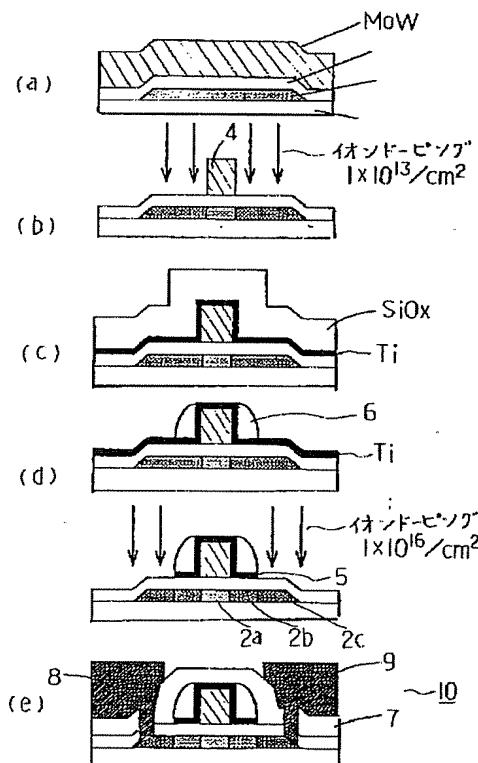
【図1】



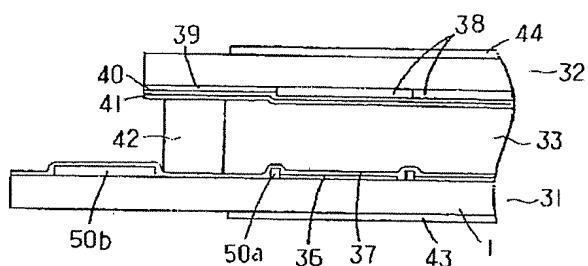
【図3】



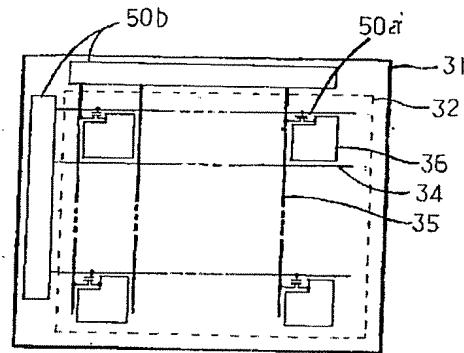
【図2】



【図4】



【図5】



---

フロントページの続き

(72) 発明者 河村 真一

神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内

(72) 発明者 鳥山 重隆

神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内